

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-307421

(P2000-307421A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 3 L 7/087		H 0 3 L 7/08	P 5 D 0 4 4
G 1 1 B 20/10	3 5 1	G 1 1 B 20/10	3 5 1 Z 5 J 1 0 6

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願平11-108134

(22) 出願日 平成11年4月15日 (1999.4.15)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 藤原 恒夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100079843

弁理士 高野 明近

Fターム (参考) 5D044 BC06 CC04 GM13 GM15

5J106 AA04 BB03 CC01 CC30 CC41

CC42 DD02 DD09 DD44 EE15

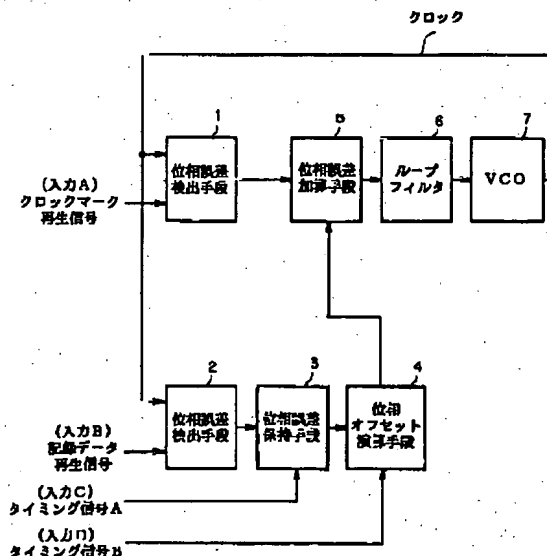
KK36 KK39

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 最小記録単位で位相が変化しても1つの発振器を制御して、クロックの位相を正確に追従させる。

【解決手段】 位相誤差検出手段1及び2は、それぞれマークの再生信号及び固定パターンの再生信号と、クロックとの間の位相誤差を検出する。位相オフセット演算手段4は位相誤差保持手段3に保持された位相誤差検出手段2により検出された位相誤差情報と位相誤差情報を保持した時点の位相オフセット値から新たな位相オフセット値を演算する。加算手段5は位相オフセット演算手段4の出力する位相オフセット情報と位相誤差検出手段1の出力する位相誤差情報を加算する。加算手段5の出力は、ループフィルタ6により平滑化され、その平滑化された位相誤差情報に基づいてクロック発振手段7はクロックを発振する。このようにマークの再生信号から得た位相誤差情報に対して固定パターンとクロックの位相誤差が0となるようなオフセットを加える。



【特許請求の範囲】

【請求項1】 位相情報を有するマークがプリフォーマットされると共に、所定領域に、記録データと位相同期した固定パターンが記録されたディスク状記録媒体から、前記記録データに位相同期したクロックを生成するディスク再生装置用のPLL回路であって、前記マークの再生信号と前記クロックとの位相誤差を検出する第1の位相誤差検出手段と、前記固定パターンの再生信号と前記クロックの位相誤差を検出する第2の位相誤差検出手段と、該第2の位相誤差検出手段により検出された位相誤差情報を保持する位相誤差保持手段と、該位相誤差保持手段に保持された位相誤差情報と位相誤差情報を保持した時点の位相オフセット値から新たな位相オフセット値を演算する位相オフセット演算手段と、該位相オフセット演算手段の出力する位相オフセット情報と前記第1の位相誤差検出手段の出力する位相誤差情報を加算する加算手段と、該加算手段の出力する位相誤差情報を平滑化する第1のループフィルタと、該第1のループフィルタにより平滑化された位相誤差情報に基づいて前記クロックを発振するクロック発振手段とを具備していることを特徴とするディスク再生装置用PLL回路。

【請求項2】 前記第2の位相誤差検出手段の出力を平滑化する第2のループフィルタと、前記第1のループフィルタと前記第2のループフィルタの出力を切り替える切替手段と、該切替手段の出力する位相誤差情報に基づいて前記クロックを発振するクロック発振手段とを備えたことを特徴とする請求項1に記載のPLL回路。

【請求項3】 前記第2の位相誤差検出手段の出力を平滑化する第2のループフィルタと、前記第2の位相誤差検出手段の出力をマスクするマスク手段と、前記第1のループフィルタと、前記第2のループフィルタの出力を加算する加算手段と、該加算手段の出力する位相誤差情報に基づいて前記クロックを発振するクロック発振手段とを備えたことを特徴とする請求項1に記載のPLL回路。

【請求項4】 前記第2の位相誤差検出手段の出力を微分演算する微分手段と、該微分手段の出力を積分する積分手段とを備え、前記固定パターンの再生信号と前記クロックの位相誤差を検出することを特徴とする請求項2または3に記載のPLL回路。

【請求項5】 前記第1の位相誤差検出手段の入力を切り替える切替手段と、前記第1の位相誤差検出手段の出力を保持する手段とを設け、前記第1の位相誤差検出手段のみで、前記マークの再生信号と前記クロックとの

位相誤差と、前記固定パターンの再生信号と前記クロックの位相誤差を検出することを特徴とする請求項1乃至4のいずれか一項に記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位相情報を有するマークがプリフォーマットされると共に、所定領域に記録データと位相同期した固定パターンが記録されたディスク状記録媒体から記録データに位相同期したクロックを生成するディスク再生装置用のPLL回路に関する。

【0002】

【従来の技術】近年、光磁気ディスクに、位相情報を持ったマーク（以後「クロックマーク」と称する）をプリフォーマットして、このクロックマークの再生信号を用いてビット単位のクロックをPLL（Phase Locked Loop）回路によって生成し、このクロックを記録／再生に用いるいわゆる外部クロック方式のディスクやディスク記録再生装置が提案されている。しかし、上記クロックと記録されたデータの再生信号は、経路が異なっているため位相ずれが生じている。この問題を回避する方法として特開平6-243589号公報に示されているように、PLL回路を2段用意して、1段目でクロックマークに位相同期したクロックを生成し、所定領域に固定パターンを記録データと同時に記録し、1段目で生成したクロックと固定パターンの位相差を検出し、その位相差を位相差オフセットとし、2段目のPLL回路において1段目で生成したクロックに対して上記位相差オフセットを持たせることで上記位相ずれを除去する方式が提案されている。

【0003】

【発明が解決しようとする課題】記録メディアとしてリムーバブルメディアを想定した場合、メディア（例えば光磁気ディスク）は、異なる装置によって記録再生がなされる。この場合、それぞれの装置によって、記録系の回路構成（回路遅延）が異なるため、ディスク上に記録されるビットの位置が微妙にずれてしまう。クロックマークはあらかじめプリフォーマットされているのであるから、そのずれはディスクの再生時に、再生クロックと再生信号の位相差として現れる。つまり1枚のディスクであっても、クロックマークと再生信号の位相は最小記録単位で次々と変化することになる。上記特開平6-243589号公報では、位相ずれを除去する方式として、2つ発振器を制御する2つのPLL回路を用いている。また、最小記録単位で次々と位相が変化していく記録データに対して実時間でクロック位相を合わせていく手段として、具体的な手段が明確にされてない。

【0004】本発明は、上記問題に鑑み、最小記録単位で次々と位相が変化しても、1つの発振器だけを制御して、クロックの位相を正確に追従させるPLL回路を提供するものである。

【0005】

【課題を解決するための手段】請求項1の発明は、位相情報を有するマークがプリフォーマットされると共に、所定領域に、記録データと位相同期した固定パターンが記録されたディスク状記録媒体から、前記記録データに位相同期したクロックを生成するディスク再生装置用のPLL回路であって、前記マークの再生信号と前記クロックとの位相誤差を検出する第1の位相誤差検出手段と、前記固定パターンの再生信号と前記クロックの位相誤差を検出する第2の位相誤差検出手段と、該第2の位相誤差検出手段により検出された位相誤差情報を保持する位相誤差保持手段と、該位相誤差保持手段に保持された位相誤差情報と位相誤差情報を保持した時点の位相オフセット値から新たな位相オフセット値を演算する位相オフセット演算手段と、該位相オフセット演算手段の出力する位相オフセット情報と前記第1の位相誤差検出手段の出力する位相誤差情報を加算する加算手段と、該加算手段の出力する位相誤差情報を平滑化する第1のループフィルタと、該第1のループフィルタにより平滑化された位相誤差情報に基づいて前記クロックを発振するクロック発振手段とを具備したものである。

【0006】請求項2の発明は、請求項1に記載のPLL回路において、さらに前記第2の位相誤差検出手段の出力を平滑化する第2のループフィルタと、前記第1のループフィルタと前記第2のループフィルタの出力を切り替える切替手段と、該切替手段の出力する位相誤差情報に基づいて前記クロックを発振するクロック発振手段とを備えたものである。

【0007】請求項3の発明は、請求項1に記載のPLL回路において、さらに前記第2の位相誤差検出手段の出力を平滑化する第2のループフィルタと、前記第2の位相誤差検出手段の出力をマスクするマスク手段と、前記第1のループフィルタと、前記第2のループフィルタの出力を加算する加算手段と、該加算手段の出力する位相誤差情報に基づいて前記クロックを発振するクロック発振手段とを備えたものである。

【0008】請求項4の発明は、請求項2または3に記載のPLL回路において、前記第2の位相誤差検出手段の出力を微分演算する微分手段と、該微分手段の出力を積分する積分手段とを備え、前記固定パターンの再生信号と前記クロックの位相誤差を検出するようにしたものである。

【0009】請求項5の発明は、請求項1乃至4のいずれか一項に記載のPLL回路において、前記第1の位相誤差検出手段の入力を切り替える切替手段と、前記第1の位相誤差検出手段の出力を保持する手段とを設け、前記第1の位相誤差検出手段のみで、前記マークの再生信号と前記クロックとの位相誤差と、前記固定パターンの再生信号と前記クロックの位相誤差を検出するようにしたものである。

【0010】

【発明の実施の形態】以下、光磁気ディスクを例として、図面を参照しながら本発明の実施形態を説明する。図6は、本発明に用いる光磁気ディスクのフォーマットを示す図である。図6(A)に示したようにクロックマークが所定間隔に配置され、固定パターン領域が所定間隔毎に設けられている（以下、図示したようにクロックマーク間を「セグメント」、固定パターン間を「フレーム」と称する）。記録装置は、記録データを固定パターンと共にフレーム単位で記録するので、固定パターンの位相は、記録データの位相と同じである。またクロックマークは、図6(C)に示すように、トラッキングサーボ用の案内溝をランド側に一部蛇行させることにより記録されている。従ってクロックマーク再生信号は、光ピックアップによりタンジェンシャル方向（光スポットの進行方向）のプッシュプル信号を検出すれば、図6(D)に示すような信号として得られる。また、固定パターンおよび記録データは光磁気記録されているため、記録データ再生信号は光磁気検出系により図6(E)のように得られる。

【0011】（請求項1の発明の実施形態）図1は、請求項1の発明の実施形態であるPLL回路を示すブロック図である。入力Aには、クロックマーク再生信号が入力され、入力Bには、記録データ再生信号が入力される。位相誤差検出手段1は、入力Aに入力されたクロックマーク再生信号とVCO（Voltage Controlled Oscillator）7の発振するクロックとの位相誤差を検出して出力する。位相誤差検出手段2は、入力Bに入力された記録データ再生信号とVCO7の発振するクロックとの位相誤差を検出して出力する。

【0012】入力Cには、タイミング信号Aが入力される。位相誤差保持手段3は、タイミング信号Aがローレベルのとき、位相誤差保持手段2の出力を平均し、タイミング信号Aの立ち上がりのタイミングで該平均値を保持する。

【0013】位相オフセット演算手段4の入力には、位相誤差保持手段3の出力が入力され、入力Dにはタイミング信号Bが入力される。位相オフセット演算手段4は、タイミング信号Bの立ち上がりタイミングで、自ら保持している位相オフセット値と位相誤差保持手段3の出力から、新たな位相オフセットを演算して保持および出力する。位相オフセットは、位相オフセット演算手段4が自ら保持している位相オフセット値から、位相誤差保持手段3の出力を減算し、 $+\pi$ から $-\pi$ の範囲で折り返し処理によって演算される。

【0014】ここでいう $-\pi$ から $+\pi$ の折り返し処理とは、 $-\pi = +\pi$ として、減算結果Yが正の値のとき、折り返し処理後の値 $= -\pi + (Y \text{ を } \pi \text{ で割った余り})$ 、減算結果Yが負の値のとき、折り返し処理後の値 $= \pi + (Y \text{ を } -\pi \text{ で割った余り})$

という処理を指し、例えば、位相オフセット演算手段4が自ら保持している値が -0.3π [rad]で、位相誤差保持手段が保持している値が $+0.8\pi$ [rad]の場合、減算結果は、

$$0.8\pi - (-0.3\pi) = +1.1\pi \text{ [rad]}$$

であるから、減算結果 $+1.1\pi$ を π で割った商は1で余りは $+0.1\pi$ となり、折り返し処理後の値は、 $-\pi + 0.1\pi = -0.9\pi$ [rad]となる。

【0015】位相誤差加算手段5は、位相誤差検出手段1の出力と、位相オフセット演算手段4の出力を加算する。ループフィルタ6は、位相誤差加算手段5の出力を平滑化すると共に、フィードバック制御系を安定させるための位相補償を行う。VCO7は、入力の値に比例した周波数のクロックを発振する（以下、VCO7が出力するクロックを単に「クロック」と称する）。

【0016】図7は、本実施形態のPLL回路の動作を説明するための図である。図7において、図7(A)はタイミング信号A、図7(B)はタイミング信号B、図7(C)は位相誤差保持手段3の出力、図7(D)は位相オフセット演算手段4の出力、図7(E)はクロックマーク再生信号とクロックの位相誤差を示す位相誤差検出手段1の出力、図7(F)は記録データ再生信号とクロックとの位相誤差を示す位相誤差検出手段2の出力の各信号と時間軸との関係を示したものである。ここでは、位相オフセット演算手段4が、自ら保持している位相オフセットは当初0であるとする。

【0017】まず当初、位相オフセット演算手段4は、0を出力しているので、位相誤差加算手段5の出力は、位相誤差検出手段1の出力をそのまま出力している。従って、本実施形態のPLL回路では、クロックマーク再生信号にクロック位相が同期するようにVCO7が制御され、 t_1 時点では、図7(E)に示されるようにクロックとクロックマーク再生信号の位相差は0である。位相誤差検出手段2は、常時、記録データ再生信号とクロックの位相誤差を検出しているが、図7(A)の t_1 時点に示すように、タイミング信号Aがローレベルになると、位相誤差保持手段3は、位相誤差検出手段2の出力を随時、平均あるいは平滑化しノイズの影響を除去し、タイミング信号Aの立ち上がりで平均あるいは平滑化した値を保持し出力する。

【0018】このタイミング信号Aは、固定パターン領域内の $t_1 \sim t_2$ 間で、ローレベルになるように入力される。この例では、 $t_1 \sim t_2$ 間では、記録データ再生信号（固定パターン再生信号）とクロックの位相差（図7(F)）は $+0.3\pi$ [rad]であるので、位相誤差検出手段2は $+0.3\pi$ を出力している。従って、タイミング信号Aの立ち上がり、すなわち t_2 時点で、位相誤差保持手段3は、 $+0.3\pi$ を保持し出力する。この出力を受けて位相オフセット演算手段4は、新たな位相

オフセットを演算し、タイミング信号Bの立ち上がり、すなわち t_3 時点で、新たな位相オフセットを保持し出力する。いま、自ら保持している位相オフセットは、図7(D)に示されるように t_3 時点以前は0なので、保持し出力する新たな位相オフセットは -0.3π である。

【0019】従って、位相オフセット演算手段4が、 -0.3π を出力した直後は、位相誤差加算手段5の出力は、 -0.3π を出力しているが、本発明のPLL回路では位相誤差加算手段5の出力が、0になるようにVCO7が制御される。その結果、位相誤差検出手段1の出力が $+0.3\pi$ となる位相でPLL回路は安定する。つまり、図7(E)に示すように、 t_4 時点付近では、クロックマークとクロックの位相誤差は $+0.3\pi$ [rad]となり、記録データとクロックの位相誤差（図7(F)）が0となり、記録データと位相同期したクロックを得ることができる。

【0020】また、この直後のフレームに、別の装置で記録された位相の異なるフレームが存在する場合の動作を説明する。 t_5 時点から位相の異なるフレームであるとする、 t_5 時点では、位相オフセット演算手段4が自ら保持し、出力している値は -0.3π であるので、クロックマークとクロックの位相誤差（図7(E)）は $+0.3\pi$ である。

【0021】 t_5 時点で、タイミング信号Aがローレベルになると、位相誤差保持手段3は、位相誤差検出手段2の出力を随時、平均あるいは平滑化しノイズの影響を除去し、タイミング信号Aの立ち上がりで平均あるいは平滑化した値を保持し出力する。この例では $t_5 \sim t_7$ 間では、記録データ（固定パターン）の再生信号とクロックの位相誤差（図7(F)）は -0.8π [rad]であるので、位相誤差検出手段2は、 -0.8π [rad]を出力している。従って、タイミング信号Aの立ち上がり、すなわち t_6 時点で、位相誤差保持手段3は -0.8π を保持し出力する。

【0022】この出力を受けて位相オフセット演算手段4は、位相オフセットを演算し、タイミング信号Bの立ち上がりすなわち図7の t_7 時点で、位相オフセットを保持し出力する。いま自ら保持している位相オフセットは、 t_7 時点以前は -0.3π [rad]なので保持し出力する位相オフセットは $+0.5\pi$ である。従って、位相オフセット演算手段4が、 $+0.5\pi$ [rad]を出力した直後、すなわち t_7 時点では、位相誤差加算手段の出力は $+0.5\pi$ を出力するが、本実施形態のPLL回路では、位相誤差加算手段の出力が0になるようにVCO7が制御される。その結果、位相誤差検出手段1の出力が -0.5π となる位相でPLL回路は安定する。

【0023】つまり、 t_8 時点付近では、クロックマークとクロックの位相誤差（図7(E)）は -0.5π [rad]となり、記録データとクロックの位相誤差

(図7(F))は0となり、記録データと位相同期したクロックを得ることができる。以上説明したように、請求項1の発明では、クロックマーク再生信号とクロックの位相差にオフセットを持たせた状態でPLLを引き込み、その結果として、記録データの再生信号とクロックの位相差を0とするので、安定かつ正確な再生用クロックを得ることができる。

【0024】(請求項2の発明の実施形態)以上が請求項1の発明の実施形態であるが、この発明では、位相オフセットが確定してから位相誤差加算手段5の出力が0となるようにVCO7が制御されるまでの時間がかなり必要で、セグメント間隔が大きければ大きいほどクロックマークの数が少ないので多くの引き込み時間が必要である。従って、固定パターン領域直後つまり、前記の例では、図7の $t_3 \sim t_4$ 間、および $t_7 \sim t_8$ 間のデータではクロック位相が合っていないためデータを正確に読み出せないため、固定パターン直後は、ユーザエリアとしては使えないという問題点がある。

【0025】図2は、請求項2の発明の実施形態を示すブロック図である。このような問題点を解決するため、請求項2の発明では、図2に示すように位相誤差検出手段2の出力を平滑化し、かつフィードバック制御系を安定にするための位相補償を行うループフィルタ8を設ける。さらに、ループフィルタ6とループフィルタ8の出力を切り替える切替手段9を設け、タイミング信号EによってVCO7に入力する位相誤差情報を切り替える。ここでは、タイミング信号Eがハイレベルのときは、ループフィルタ6の出力がVCO7に入力され、ローレベルのときは、ループフィルタ8の出力が入力される。

【0026】これにより、請求項1の発明の動作に加え、固定パターン領域では、ループフィルタ8のフィルタ定数の時定数を小さくすれば、固定パターンに対して高速に位相引き込みを行う第2のPLL回路が動作することになる。従って、固定パターン領域内で記録データに対して位相引き込みが完了し、固定パターン領域以外では、一旦引き込んだ位相をはずさないように動作する。

【0027】図8は、本実施形態のPLL回路の動作を説明するための図である。図8において、図8(A)は制御タイミング信号C、図8(B)は制御タイミング信号D、図8(C)はタイミング信号E、図8(D)は位相誤差保持手段3の出力、図8(E)は位相オフセット演算手段4の出力、図8(F)は位相誤差検出手段1の出力、図8(G)は位相誤差検出手段2の出力の各波形の時間軸との関係を示したものである。ここで、上記構成の請求項2の発明に係るPLL回路の動作を図8を参照して説明する。タイミング信号Cとタイミング信号Dとタイミング信号Eは、図8(A)、図8(B)、図8(C)に示したような位相関係になっている。タイミング信号Cとタイミング信号Dの目的は、請求項1の発明

の実施形態でのタイミング信号Aおよびタイミング信号Bと同じであるが、固定パターン前半で、位相誤差の保持および位相オフセットの演算および保持ができるようなタイミングとなっている。

【0028】 t_1 時点で、タイミング信号Cがローレベルになると、位相誤差検出手段1は、固定パターンとクロックの位相誤差を検出して出力し、位相誤差保持手段3は位相誤差検出手段2の出力を随時、平均あるいは平滑化しノイズの影響を除去し、タイミング信号Cの立ち上がりで、平均あるいは平滑化した値を保持し出力する。この例では、 $t_1 \sim t_2$ 間では、記録データの再生信号とクロックの位相差(図8(F))は、 -0.8π [rad]であるので、位相誤差検出手段2は、 -0.8π [rad]を出力している。従ってタイミング信号Cの立ち上がりすなわち t_2 時点で、位相誤差保持手段3は、 -0.8π を保持し出力する。

【0029】この出力を受けて、位相オフセット演算手段4は、位相オフセットを演算し、タイミング信号Dの立ち上がり、すなわち t_3 時点で、位相オフセットを保持し出力する。いま自ら保持している位相オフセットは、図8(D)に示されるように、 t_3 時点以前は -0.3π [rad]なので保持し出力する位相オフセットは $+0.5\pi$ である。

【0030】また、 t_2 時点で、タイミング信号Eがハイレベルとなり、切替手段9によって第2のループフィルタ8が選択される。これにより、 $t_2 \sim t_4$ 間では、位相誤差検出手段2の出力が、0となるようにVCO7が制御される。その結果、位相誤差検出手段1の出力が、 -0.5π となる位相でPLL回路は安定する。つまり、図8の t_4 時点付近ではクロックマークとクロックの位相誤差(図8(E))は、 -0.5π [rad]となり、記録データとクロックの位相誤差(図8(F))は、0となり、記録データと位相同期したクロックを得ることができる。 t_4 時点以後は、タイミング信号Eが、ローレベルとなるので、ループフィルタ6の出力が、切替手段9により選択されてVCO7を制御するが、 t_2 時点では、すでに位相誤差加算手段5の出力は0となっているため、この状態を保持するように、本実施形態のPLL回路は動作する。

【0031】(請求項3の発明の実施形態)請求項2の発明において、ループフィルタ6とループフィルタ8を、アナログ回路で構成した場合、切替手段9は、アナログ信号を切り替える必要があり、スパイク状のノイズが混入してVCO7の制御にとって不都合である。

【0032】図3は、請求項3の発明の実施形態を示すブロック図である。そこで、図3に示すように、タイミング信号Eによって、位相誤差検出手段2の出力を0にするマスク手段11と、ループフィルタ6とループフィルタ8の出力を加算する加算手段10によって、2重のPLL回路を構成すれば、アナログ信号の切替手段は必

要ない。位相誤差検出手段2は、デジタル回路で構成しやすいため、0にマスクすることは比較的容易であり、アナログ信号を加算する加算手段は、オペアンプなどの部品で構成できるため回路構成が簡単になる。ここで、マスク手段11は、タイミング信号Eがローレベルのとき、位相誤差0を示す値を出力し、ハイレベルのときは、入力をそのまま出力する。

【0033】(請求項4の発明の実施形態) また、請求項2および請求項3の発明においては、固定パターンの前半を位相誤差検出用に用い、後半を記録データに対する位相引き込みに使用するので、比較的長い固定パターンを必要とする。

【0034】図4は、請求項4の発明の実施形態を示すブロック図である。このような問題点を解決するため、請求項4の発明では、図4に示すように、微分(差分)手段12と、積分(累積加算)手段13が設けられている。タイミング信号Iは、マスク手段11と微分手段12に入力されており、タイミング信号Iがハイレベルのとき、マスク手段11は、位相誤差検出手段2の出力を0にマスクし、ローレベルのとき、位相誤差検出手段2の出力をそのまま出力する。図9は、本実施形態のPLL回路の動作を説明するための図である。図9において、図9(A)はタイミング信号I、図9(B)はタイミング信号J、図9(C)は微分手段12の出力、図9(D)は積分手段13の出力、図9(E)は位相オフセット演算手段4の出力、図9(F)は位相誤差検出手段1の出力、図9(G)は位相誤差検出手段2の出力の各波形の時間軸との関係を示したものである。ここで、微分手段12は、位相誤差検出手段2の出力を微分して、図9(C)のように出力する。

【0035】図10は、微分手段12の動作を説明する図である。具体的には、図10に示すように、位相誤差検出手段2の現時点の出力と、前回の出力との差分を演算することにより擬似的な微分が行える。積分手段13はタイミング信号Iの立ち下がりでリセットされ、タイミング信号Iがローレベルの間、微分手段12の出力を積分し、タイミング信号Iがハイレベルの間は積分結果を保持する。具体的には、微分手段12の出力を累積加算することによって擬似的な積分が行える。

【0036】従って、図9(D)に示すように、記録データに対する位相引き込みと同時に、積分手段により位相オフセット演算用の位相誤差を得ることができ、位相オフセット演算手段4が、タイミング信号Jの立ち上がり時点で、積分手段13と自ら保持している値を用いて位相オフセットを演算し、他は請求項1乃至3の発明と同様の動作をすれば、位相誤差検出と位相引き込みを同時に行うので、固定パターン領域が短くても、記録データ再生信号に位相同期したクロックを得ることができる。

【0037】(請求項5の発明の実施形態) 図5は、請

求項5の発明の実施形態を示すブロック図である。また、上記の位相誤差検出手段1と位相誤差検出手段2は、同一の構成とすることが可能なので、図5に示したように、タイミング信号Aがハイレベルのときは、クロックマーク再生信号を、ローレベルのときは、記録データ再生信号を選択出力する切替手段14と、タイミング信号Aの立ち下がりで入力の値を保持する保持手段15を設ける構成とすることで、1つの位相誤差検出手段1で同様の作用をさせることができる。尚、本実施形態は、請求項1の発明に適用した場合を示したが、請求項2乃至4の発明にも適用できることは明らかである。

【0038】次に、本発明に用いられる位相誤差検出手段1、2およびループフィルタ6、8の具体的な構成を示す。図11は、位相誤差検出手段の一実施例の構成を示すブロック図である。再生信号をクロックの立ち上がりタイミングでサンプリングして量子化するADコンバータ16と、レジスタ17、レジスタ18で構成され、ADコンバータ16の出力をクロックタイミングでシフトするシフトレジスタ19と、ROM21と、EN入力が高レベルのときだけ、D入力の値をCLK入力に同期してサンプリングするロックイネーブル付きレジスタ22と、ゼロクロス検出器20からなっている。

【0039】ここで、サンプリングされたデジタルデータは、シフトレジスタ19に入力され、その出力は、ゼロクロス検出器20に入力される。ゼロクロス検出器20は所定のしきい値(ここでは0)をまたぐデータ列が、入力された場合は、ハイレベルを出力する。図12は、図11の位相誤差検出手段の位相誤差検出原理を説明する図である。この例では、位相誤差検出の原理は、図12に示したようにゼロクロス前後の振幅の比 $\alpha : \beta$ が、ゼロクロス点のサンプリングクロック周期内の位相比 $T\alpha : T\beta$ とほぼ等しいことを利用して、 $\alpha = \beta$ のとき位相誤差 ± 0 として位相誤差を検出する方式を用いるので、ROM21には、この方法でゼロクロス前後の振幅の値から位相差を計算した結果が、あらかじめセットされている。従って、ゼロクロス信号が、ハイレベルのとき、クロックの立ち上がりでROM21の出力をラッチすることで、再生信号とクロックの位相差が、レジスタ22に保持され出力される。

【0040】図13は、第1のループフィルタ6の一実施例の構成を示すブロック図である。この例では、オペアンプ23、抵抗24、抵抗25、コンデンサ26によって、ラグ・リード特性の積分器を構成している。入力には、位相誤差情報をアナログ信号に変換したものが入力され、抵抗24およびコンデンサ26によって平滑化され、抵抗25およびコンデンサ26によってフィードバック制御系を安定にするための補償がなされる。ここで、積分器となっているのは、VCO7の自走周波数を正確に一定にするのは困難であり、直流ゲインを持たせる必要があるためである。

【0041】図14は、第2のループフィルタ8の一実施例の構成を示すブロック図である。この例では、抵抗27、抵抗28、コンデンサ29によって、ラグ・リード特性のローパスフィルタを構成している。入力には、位相誤差情報をアナログ信号に変換したものが入力され、抵抗27およびコンデンサ29によって平滑化され、抵抗28およびコンデンサ29によってフィードバック制御系を安定にするための補償がなされる。ここで、ローパスフィルタとなっているのは、ループフィルタ6が、積分器のためクロック周波数は正確に一致しており、ループフィルタ8としては位相を制御するだけなので直流ゲインは必要ないからである。

【0042】

【発明の効果】請求項1の発明によれば、記録データ再生信号に対するクロックの位相誤差を固定パターン領域で検出して、クロックマーク再生信号とクロックの位相誤差検出結果にオフセットを加え、そのオフセットをもったクロックで、次の固定パターンの位相差を検出し、そのオフセットと位相差によって新たなオフセットを演算するので、位相の異なる記録データ再生信号がフレーム単位でつぎつぎ現れても、1つの発振手段を制御するPLL回路で、記録データ再生信号に位相同期したクロックを得ることができるため、コストの削減に有効である。

【0043】請求項2の発明によれば、固定パターン領域前半で記録データ再生信号とクロックの位相誤差を検出し、後半において、固定パターンに対して位相引き込みを行うように切り替えるので、固定パターン直後から記録データに同期したクロックを得ることができ、固定パターン直後の記録データを正確に再生することができる。

【0044】請求項3の発明によれば、固定パターンに対して位相引き込みの切替は、マスク手段と加算手段により行うので、アナログ信号を切り替える必要がなく、VCOに切替ノイズを混入させないので、より正確な位相引き込みを行うことができる。

【0045】請求項4の発明によれば、差分手段と積分手段によって、固定パターンに対する引き込みと同時に、位相引き込み前時点における固定パターンとクロックの位相誤差の検出を行うので、固定パターン領域が比較的短い場合でも、記録データ再生信号に位相同期したクロックを得ることができる。

【0046】請求項5の発明によれば、位相誤差検出器の入力を切り替える切替手段と、位相誤差検出器の出力値を保持する保持手段によって、1つの位相誤差検出器

を、クロックマーク再生信号とクロックの位相誤差検出と、記録データ再生信号とクロックの位相誤差検出という2つの目的に使用するようにしたので、回路が節減できコスト削減に有効である。

【図面の簡単な説明】

【図1】請求項1の発明に係るPLL回路の実施形態を示すブロック図である。

【図2】請求項2の発明に係るPLL回路の実施形態を示すブロック図である。

【図3】請求項3の発明に係るPLL回路の実施形態を示すブロック図である。

【図4】請求項4の発明に係るPLL回路の実施形態を示すブロック図である。

【図5】請求項5の発明に係るPLL回路の実施形態を示すブロック図である。

【図6】本発明が適用される光磁気ディスクのフォーマットを示す図である。

【図7】請求項1の発明の動作を説明するための信号波形図である。

【図8】請求項2の発明の動作を説明するための信号波形図である。

【図9】請求項4の発明の動作を説明するための信号波形図である。

【図10】図4における微分手段の動作を説明するための図である。

【図11】本発明に用いられる位相誤差検出器の一実施例を示すブロック図である。

【図12】図11の位相誤差検出器の動作を説明するための図である。

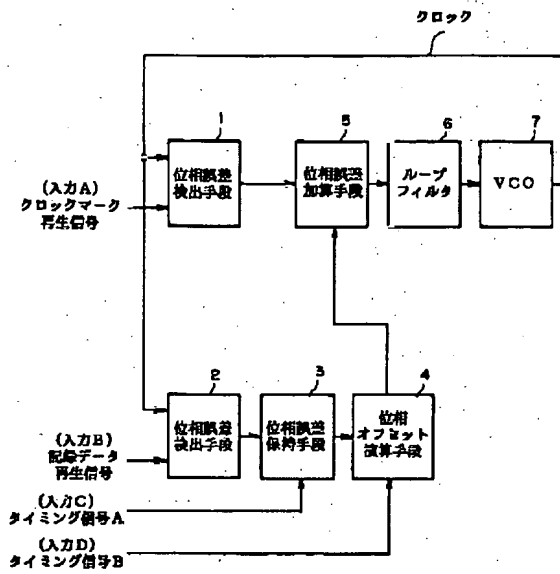
【図13】本発明に用いられる第1のループフィルタの一実施例を示すブロック図である。

【図14】本発明に用いられる第2のループフィルタの一実施例を示すブロック図である。

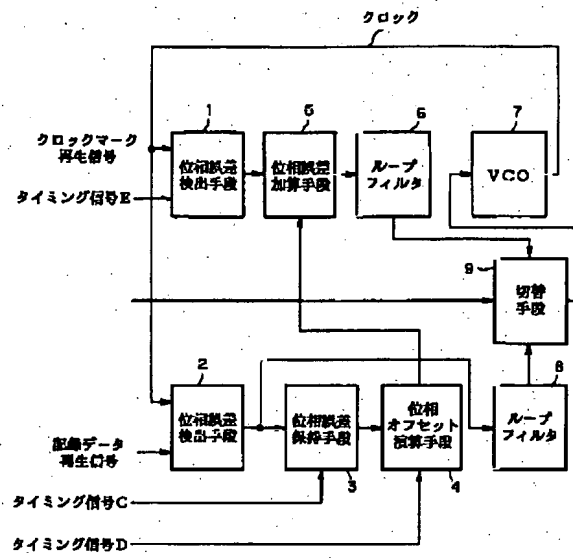
【符号の説明】

1、2…位相誤差検出手段、3…位相誤差保持手段、4…位相オフセット演算手段、5…位相誤差加算手段、6、8…ループフィルタ、7…VCO、9、14…切替手段、10…加算手段、11…マスク手段、12…微分手段、13…積分手段、15…保持手段、16…ADコンバータ、17、18…レジスタ、19…シフトレジスタ、20…ゼロクロス検出器、21…ROM、22…ロックイネーブル付きレジスタ、23…オペアンプ、24、25、27、28…抵抗、26、29…コンデンサ。

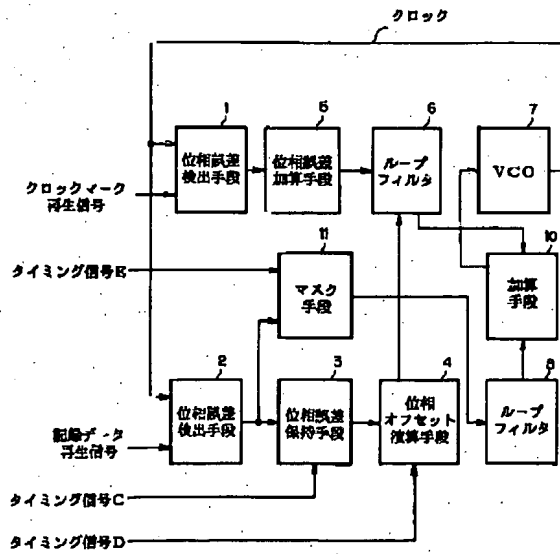
【図1】



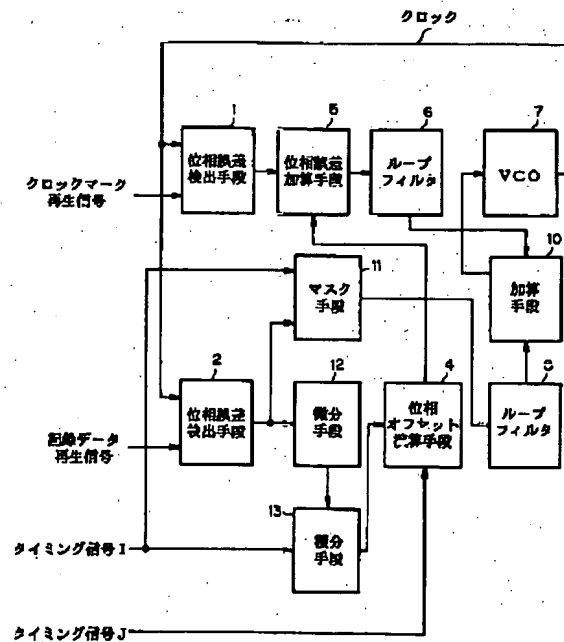
【図2】



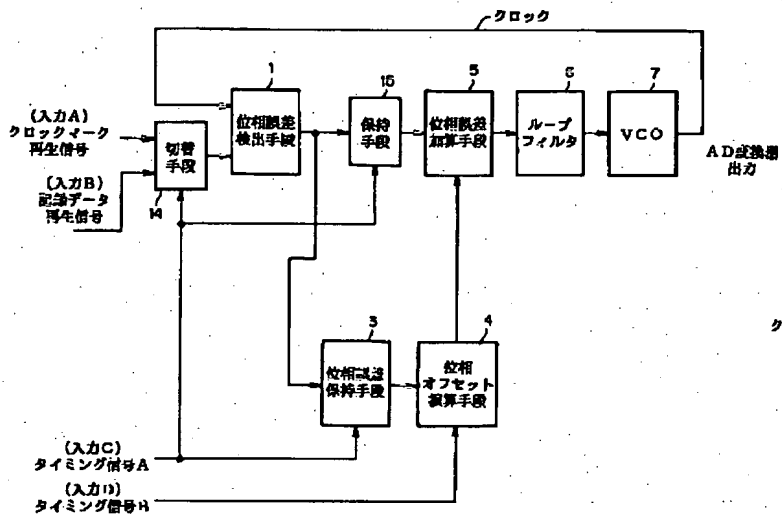
【図3】



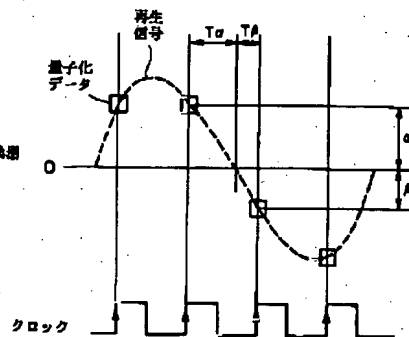
【図4】



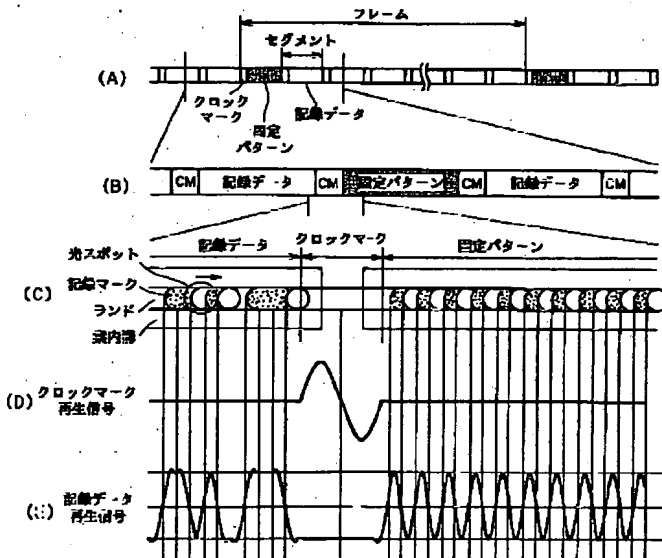
【図5】



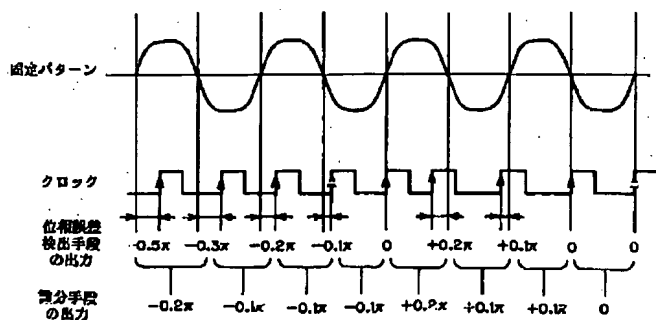
【☒12】



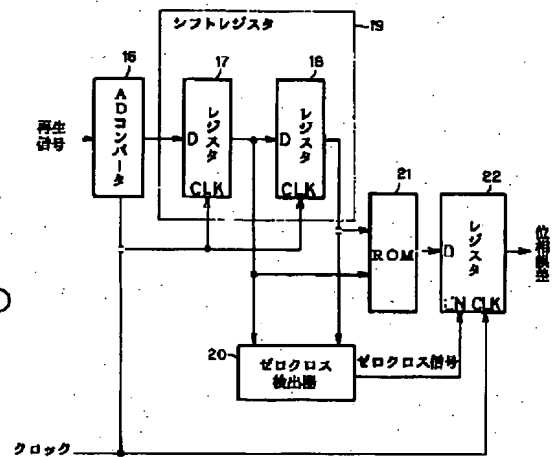
【図6】



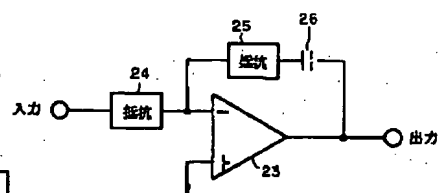
【图 10】



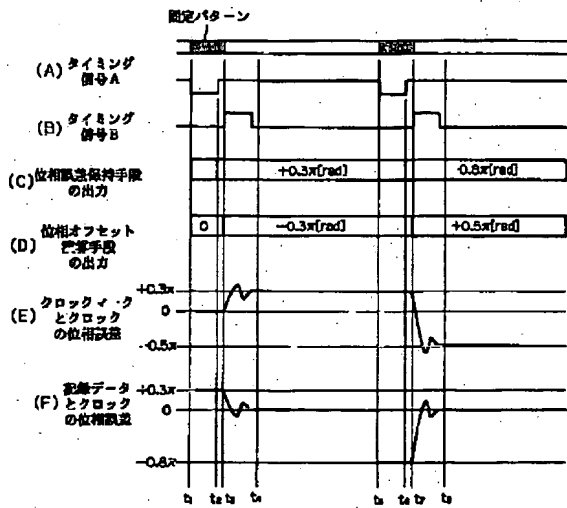
【図 11】



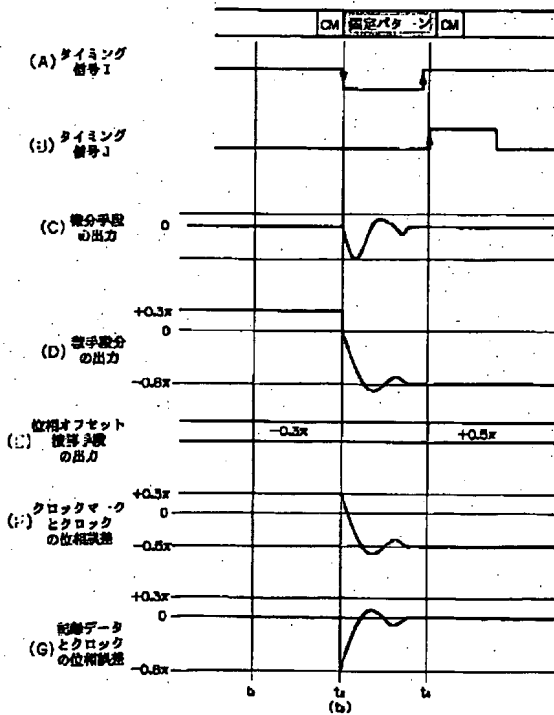
【图 13】



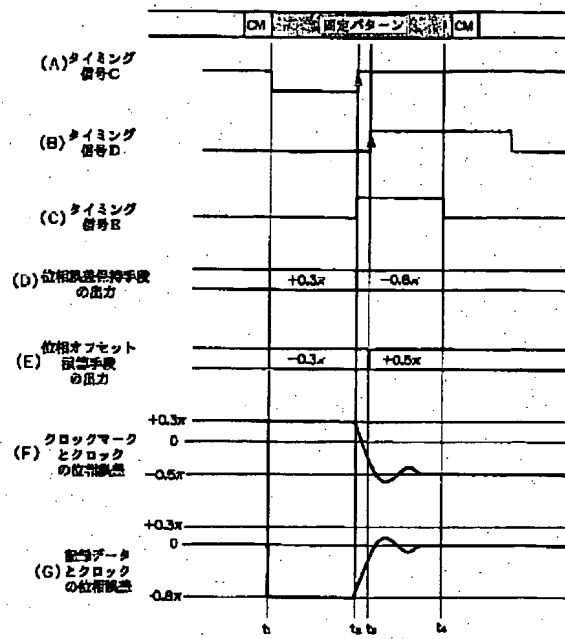
【図7】



【図9】



【図8】



【図14】

